

TRƯỜNG ĐẠI HỌC NHA TRANG

Khoa/Viện: Điện Điện Tử

Bộ môn: Điện Tử Tự Động

ĐỀ CƯƠNG HỌC PHẦN

1. Thông tin về học phần:

Tên học phần:

- Tiếng Việt: **Nguyên lý mạch tích hợp**
- Tiếng Anh: **Fundamental of integrated circuit**

Mã học phần:

Số tín chỉ: 2

Đào tạo trình độ: ĐH, CĐ

Học phần tiên quyết:

2. Mô tả tóm tắt học phần:

Học phần cung cấp cho người học: kiến thức về cấu trúc và nguyên lý hoạt động chung của các loại mạch tích hợp. Kiến thức về ngôn ngữ VHDL và các cách lập trình VHDL cho các mạch tích hợp.

3. Mục tiêu:

Sinh viên có kiến thức cần thiết để học tập chuyên sâu về lập trình điều khiển trong học phần “Vi xử lý”, sinh viên có khả năng lập trình mô phỏng cách công và các mạch logic đơn giản từ đó tiến đến thiết kế hệ thống logic hoàn chỉnh.

4. Kết quả học tập mong đợi (KQHT):

- Mô tả được cấu trúc của các cổng và mạch logic MOS đơn giản.
- Giải thích được cách hoạt động của các loại cổng logic MOS.
- Phân loại được các loại mạch tích hợp, tóm tắt được quá trình sản xuất mạch tích hợp
- Đọc hiểu và phân tích được các đoạn chương trình VHDL cơ bản
- Thiết kế được các cổng logic đơn giản sử dụng ngôn ngữ VHDL.

5. Nội dung:

STT	Chương/Chủ đề	Nhằm đạt KQHT	Số tiết	
			LT	TH
1	Giới thiệu về Transistor MOS	a	2	
1.1	Cơ sở lý thuyết bán dẫn			
1.2	Cấu tạo MOS			
1.3	Nguyên lý hoạt động của MOS			
2	Mạch logic CMOS	a,b	6	
2.1	Đại số Boole			
2.2	Cổng logic MOS			
2.3	Thiết bị logic MOS			
3	Tổng quan về các mạch tích hợp	c	4	

3.1	Giới thiệu về các loại mạch tích hợp.			
3.2	Sơ đồ khối FPGA			
3.3	Cấu trúc những khối chính bên trong FPGA			
4	Quy trình thiết kế FPGA	c	2	
4.1	Giới thiệu về quy trình thiết kế FPGA tổng quát			
4.2	Giới thiệu về các công cụ thiết kế			
4.3	Phân tích quy trình mẫu			
5	Ngôn ngữ VHDL	c,d	6	
5.1	Giới thiệu ngôn ngữ VHDL			
5.2	Các thực thể trong VHDL			
5.3	Các kiểu logic trong VHDL			
5.4	Các kiểu thiết kế trong VHDL			
6	Viết mã VHDL theo hành vi và cấu trúc	d,e	5	
6.1	Viết mã VHDL theo hành vi			
6.2	Viết mã VHDL theo cấu trúc			
6.3	Các thiết bị logic dưới mô tả VHDL			
7	Viết mã VHDL theo luồng dữ liệu	d,e	5	
7.1	Mô tả mạch logic tổ hợp bằng VHDL theo luồng dữ liệu.			
7.2	Số học có dấu và không dấu			

6. Tài liệu dạy và học:

STT	Tên tác giả	Tên tài liệu	Năm xuất bản	Nhà xuất bản	Địa chỉ khai thác tài liệu	Mục đích sử dụng	
						Tài liệu chính	Tham khảo
1	Nguyễn Tăng Cường	Thiết kế thiết bị điện điện tử lập trình sử dụng công nghệ CPLD và FPGA	2005		KĐĐT	X	
2	Tổng Văn On	Nguyên lý mạch tích hợp :ASIC lập trình được (tập 1&2)	2004	Thông Kê	Thư viện	X	
3	Học viện kỹ thuật quân sự	Thiết kế mạch số	2011		KĐĐT		X
4	Tổng Văn On	Nguyên lý mạch tích hợp	2006	ĐH	KĐĐT		X

				Quốc gia TPHCM			
--	--	--	--	----------------------	--	--	--

7. Đánh giá kết quả học tập:

TT	Các chỉ tiêu đánh giá	Phương pháp đánh giá	Trọng số (%)
1	Tham gia học trên lớp: <i>lên lớp đầy đủ, chuẩn bị bài tốt, tích cực thảo luận...</i>	<i>Quan sát, điểm danh</i>	50
2	Tự nghiên cứu: <i>hoàn thành nhiệm vụ giảng viên giao trong tuần, bài tập nhóm/tháng/học kỳ...</i>	<i>Bài tập</i>	
3	Hoạt động nhóm	<i>Trình bày báo cáo</i>	
4	Kiểm tra giữa kỳ	<i>Viết, Vấn đáp</i>	
5	Kiểm tra đánh giá cuối kỳ	<i>Viết</i>	
6	Thi kết thúc học phần	<i>Viết</i>	50
7	- Hình thức thi: <i>Viết</i> - Đề mở: <input checked="" type="checkbox"/> Đề đóng: <input type="checkbox"/>		

NHÓM GIẢNG VIÊN BIÊN SOẠN
(Ký và ghi họ tên)

Nguyễn Thanh Tuấn

TRƯỞNG KHOA/VIỆN
(Ký và ghi họ tên)

TRƯỞNG BỘ MÔN
(Ký và ghi họ tên)